

473705

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 5月16日

出 願 番 号

Application Number:

特願2003-139467

[ST.10/C]:

[JP2003-139467]

出 願 人

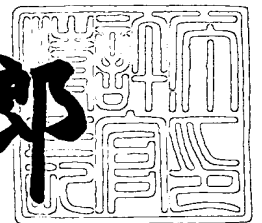
Applicant(s):

株式会社ルネサステクノロジ

2003年 6月 9日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3044812

【書類名】 特許願

【整理番号】 542738JP01

【提出日】 平成15年 5月16日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/768

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目4番1号 株式会社ルネサ
 ステクノロジ内

 【氏名】 荒木 康弘

【特許出願人】

 【識別番号】 503121103

 【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

 【識別番号】 100082175

 【弁理士】

 【氏名又は名称】 高田 守

 【電話番号】 03-5379-3088

【選任した代理人】

 【識別番号】 100066991

 【弁理士】

 【氏名又は名称】 葛野 信一

 【電話番号】 03-5379-3088

【選任した代理人】

 【識別番号】 100106150

 【弁理士】

 【氏名又は名称】 高橋 英樹

 【電話番号】 03-5379-3088

【手数料の表示】

 【予納台帳番号】 049397

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 半導体基板と、

この半導体基板上に形成され、第 1 のコンタクトホールを有する第 1 の層間絶縁膜と、

前記第 1 のコンタクトホールに埋め込まれた部分と前記第 1 の層間絶縁膜の表面から突出した部分とを有する第 1 のコンタクトプラグと、

この第 1 のコンタクトプラグの突出した部分の側面に形成されたサイドウォールと、

前記第 1 の層間絶縁膜、前記第 1 のコンタクトプラグ及び前記サイドウォールの上に形成され、第 2 のコンタクトホールを有する第 2 の層間絶縁膜と、

前記第 2 のコンタクトホールに形成され、前記第 1 のコンタクトプラグと接続された第 2 のコンタクトプラグとを有することを特徴とする半導体装置。

【請求項 2】 前記半導体基板上に形成されたゲート電極と、

このゲート電極の近傍の前記半導体基板の表面に形成された活性領域とを有し

、
前記第 1 のコンタクトプラグは前記活性領域と接続され、

前記サイドウォールの横幅は、前記第 1 のコンタクトプラグと前記ゲート電極との間隔より大きいことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記第 1 のコンタクトプラグは、フラッシュメモリのメモリセルのソース線もしくはドレイン線であり、

前記ゲート電極は前記メモリセルのコントロールゲート及びフローティングゲートを含むことを特徴とする請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】 半導体基板と、

この半導体基板上に形成され、第 1 のコンタクトホールを有する第 1 の層間絶縁膜と、

前記第 1 のコンタクトホールに形成され、下に凸の漏斗型を有する第 1 のコンタクトプラグと、

前記第 1 の層間絶縁膜及び前記第 1 のコンタクトプラグ上に形成され、第 2 のコンタクトホールを有する第 2 の層間絶縁膜と、

前記第 2 のコンタクトホールに形成され、前記第 1 のコンタクトプラグと接続された第 2 のコンタクトプラグを有する半導体装置。

【請求項 5】 前記第 1 のコンタクトプラグは、前記第 1 のコンタクトプラグに埋め込まれた部分と前記第 1 の層間絶縁膜の表面から突出した部分とを有し

、
この第 1 のコンタクトプラグの突出した部分の側面に形成されたサイドウォールを有することを特徴とする請求項 4 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、第 1 の層間絶縁膜に形成された第 1 のコンタクトプラグと、第 2 の層間絶縁膜に形成され、第 1 のコンタクトプラグと接続された第 2 のコンタクトプラグを有する半導体装置に関する。

【0002】

【従来の技術】

近年、半導体装置の微細化に伴い、多層配線技術が不可欠となっている。この多層配線技術において、トランジスタ等と層間絶縁膜上の配線とを接続するために、層間絶縁膜にコンタクトプラグが形成されている。

【0003】

そして、このコンタクトプラグの形成を 2 段階に分けて、エッチングマージンを減らし、半導体装置を微細化することが行われている。この場合、第 1 の層間絶縁膜に L I C (Local Interconnect) として第 1 のコンタクトプラグを形成し、第 1 の層間絶縁膜の上に第 2 の層間絶縁膜を形成し、この第 2 の層間絶縁膜に第 1 のコンタクトプラグと接続するように第 2 のコンタクトプラグを形成する。

【0004】

しかし、第 2 のコンタクトプラグを形成するために第 2 の層間絶縁膜をエッチングする際に、重ね合わせのズレにより、第 1 のコンタクトプラグ上でエッチン

グが止まらず、第 1 の層間絶縁膜下のゲート電極 3 等まで突き抜けてエッチングされてしまうという問題があった。これが原因でショートなどが懸念される。これに対して、従来は、第 1 の層間絶縁膜上の全面に窒化膜を設けて、エッチングの突き抜けを防いでいた（例えば、特許文献 1）。

【 0 0 0 5 】

【特許文献 1】

特開平 1 1 - 2 0 4 6 3 4 号公報（第 2 - 3 頁、第 1 2 図）

【 0 0 0 6 】

【発明が解決しようとする課題】

しかし、従来の半導体装置では、フラッシュメモリに適用した場合に、全面に設けた窒化膜により、UV 照射時に、フローティングゲート内の電子が引き抜かれないという問題があった。

【 0 0 0 7 】

この発明は、上述のような問題を解決するためになされたもので、その目的は、第 1 の層間絶縁膜の全面に窒化膜を設けることなく、第 1 のコンタクトプラグと第 2 のコンタクトプラグの重ね合わせのズレによるエッチングの突き抜けを防ぐことができる半導体装置を得るものである。

【 0 0 0 8 】

【課題を解決するための手段】

この発明に係る半導体装置は、半導体基板と、この半導体基板上に形成され、第 1 のコンタクトホールを有する第 1 の層間絶縁膜と、第 1 のコンタクトホールに埋め込まれた部分と第 1 の層間絶縁膜の表面から突出した部分とを有する第 1 のコンタクトプラグと、この第 1 のコンタクトプラグの突出した部分の側面に形成されたサイドウォールと、第 1 の層間絶縁膜、第 1 のコンタクトプラグ及びサイドウォールの上に形成され、第 2 のコンタクトホールを有する第 2 の層間絶縁膜と、第 2 のコンタクトホールに形成され、第 1 のコンタクトプラグと接続された第 2 のコンタクトプラグとを有する。この発明のその他の特徴は以下に明らかにする。

【 0 0 0 9 】

【発明の実施の形態】

実施の形態 1.

以下、この発明の実施の形態 1 における発明をフラッシュメモリのメモリセルに適用した場合を例にとって説明する。図 1 はこの発明の実施の形態 1 における半導体装置の製造方法を示す概略断面図である。まず、図 1 (a) に示すように、フラッシュメモリのメモリセルが形成された半導体基板 1 上に、酸化膜からなる第 1 の層間絶縁膜 2 を形成する。ここで、半導体基板 1 上には、ゲート電極 3 として、下からトンネル酸化膜 4、フローティングゲート 5、ONO 膜 6、コントロールゲート 7 が形成されている。そして、半導体基板 1 の表面に、ゲート電極 3 を挟んで、活性領域であるドレイン領域 8 及びソース領域 9 を形成する。すなわち、ゲート電極 3 の近傍の半導体基板 1 の表面に、活性領域を形成する。

【0010】

次に、図 1 (b) に示すように、第 1 の層間絶縁膜 2 を選択的にエッチングして、ドレイン領域 8 及びソース領域 9 上に、それぞれ、ストレートな形状の第 1 のコンタクトホール 10, 11 を形成する。そして、図 1 (c) に示すように、W, Cu, Ti などの配線材料を堆積して、第 1 のコンタクトホール 10, 11 を埋め込み、CMP (Chemical Mechanical Polishing) により、第 1 のコンタクトホール 10, 11 内のみに配線材料が残るようにする。これにより、第 1 のコンタクトホール 10, 11 に、それぞれ、第 1 のコンタクトプラグ 12, 13 が形成される。この第 1 のコンタクトプラグ 12, 13 は、それぞれフラッシュメモリのメモリセルのソース線及びドレイン線であり、それぞれドレイン領域 8 及びソース領域に接続されている。

【0011】

そして、図 1 (d) に示すように、第 1 のコンタクトプラグ 12, 13 のエッチング速度が小さいエッチング条件で、第 1 の層間絶縁膜 2 を 500~1000 Å エッチングし (第 1 の層間絶縁膜 2 表面とゲート電極 3 との間隔は 4000 Å となる)、第 1 の層間絶縁膜 2 の表面から第 1 のコンタクトプラグ 12, 13 の一部を突出させる。これにより、第 1 のコンタクトプラグ 12, 13 は、第 1 のコンタクトホール 10, 11 に埋め込まれた部分と第 1 の層間絶縁膜 2 の表面か

ら突出した部分とを有するようになる。

【0012】

次に、図1（e）に示すように、第1の層間絶縁膜2及び第1のコンタクトプラグ12、13を覆うように、SiN膜14を1000～2000Å堆積する。そして、図1（f）に示すように、このSiN膜14を異方性エッチングして、第1のコンタクトプラグ12、13の突出した部分の側面にサイドウォール15を形成する。

【0013】

このサイドウォール15は、下面が全面的に第1の層間絶縁膜2と接し、第1のコンタクトプラグ12、13と接する部分が最も厚く、第1のコンタクトプラグ12、13から遠くなるにしたがって薄くなるテーパ形状を有する。また、サイドウォール15の横幅は、第1のコンタクトプラグ12、13とゲート電極3との間隔より大きい。すなわち、上方から見ると、サイドウォール15とゲート電極3とは一部が重なっている。ただし、ゲート電極3の中央部分は、サイドウォール15とは重なっていない。

【0014】

次に、図1（g）に示すように、第1の層間絶縁膜2、第1のコンタクトプラグ12、13及びサイドウォール15の上に第2の層間絶縁膜16を3000Å形成し、CMPで平坦化後、サイドウォール15をエッチングストッパとして第2の層間絶縁膜16を選択的にエッチングして、ストレートな形状の第2のコンタクトホール17、18を形成する。そして、図1（h）に示すように、第2のコンタクトホール17、18に、W、Cu、Tiなどの配線材料を埋め込み、CMPで平坦化して、第1のコンタクトプラグ12、13とそれぞれ接続された第2のコンタクトプラグ19、20を形成する。

【0015】

以上のように、サイドウォール15をエッチングストッパとすることにより、第2のコンタクトホール17、18をエッチング形成する際に、第1のコンタクトプラグ12、13との重ね合わせのズレによるエッチングの突き抜けを防ぐことができる。これにより、エッチングマージンを確保するために配線間隔を広く

する必要がなくなり、メモリセルアレイを微細化できる。

【0016】

また、上記のように、重ね合わせのズレによるエッチングの突き抜けを防ぐことができるため、第2の層間絶縁膜16を厚くすることができる。これにより、第1の層間絶縁膜2及び第2の層間絶縁膜16の合計の膜厚を15500Åで一定とすると、第1の層間絶縁膜2を薄くすることができ、第1のコンタクトホール10、11のエッチングを容易にすることができる。

【0017】

そして、サイドウォール15を設けたことにより、第2のコンタクトホール17、18のエッチングと同時に、メモリセル以外の周辺部分のコンタクトホールであって、第1の層間絶縁膜2及び第2の層間絶縁膜16の双方を貫通するものをエッチングすることができるので、工程数を削減できる。ここで、フラッシュメモリの場合、メモリセルのゲートが2段あって第1の層間絶縁膜2が厚くなる傾向にあるため、本発明は特に有効である。

【0018】

さらに、本発明において、サイドウォール15は、第1のコンタクトプラグ12、13の側壁だけに設けられ、全面を覆っているわけではない。すなわち、ゲート電極3の中央部分は、サイドウォール15と重なっていない。このため、UV照射してフローティングゲート5内の電子を引き抜く際に、サイドウォール15が妨げにならない。よって、本発明はフラッシュメモリに適している。

【0019】

なお、本発明は、上記のようにドレイン領域8に接続されるコンタクトプラグとソース領域9に接続されるコンタクトプラグの両方に用いるのが最適であるが、片方だけに用いてもよい。その際、通常はドレイン領域8よりもソース領域9の方が幅が狭いため、ソース領域9に接続されるコンタクトプラグに用いるとよい。また、上記では、フラッシュメモリを例にとって説明したが、本発明は、他の半導体装置においても適用できる。

【0020】

実施の形態2.

図 2 はこの発明の実施の形態 2 における半導体装置を示す概略断面図である。図 1 (h) と同様の構成要素には同じ番号を付し、詳しい説明は省略する。この半導体装置は、図 2 に示すように、半導体基板 1 と、半導体基板 1 上に形成され、下に凸の漏斗型を有する第 1 のコンタクトホール 2 1 を有する第 1 の層間絶縁膜 2 と、この第 1 のコンタクトホール 2 1 に形成され、下に凸の漏斗型を有する第 1 のコンタクトプラグ 2 2 と、第 1 の層間絶縁膜 2 及び第 1 のコンタクトプラグ 2 2 上に形成され、第 2 のコンタクトホール 1 8 を有する第 2 の層間絶縁膜 1 6 と、この第 2 のコンタクトホール 1 8 に形成され、第 1 のコンタクトプラグ 2 2 と接続された第 2 のコンタクトプラグ 2 0 を有する。

【 0 0 2 1 】

ここで、第 1 のコンタクトプラグ 2 2 は、二つのゲート電極 3 の間にある部分では細くなっており、それぞれのゲート電極 3 に対して所定の間隔を有している。そして、第 1 のコンタクトプラグ 2 2 は、ゲート電極 3 よりも上の部分において太くなっており、上から見ると、ゲート電極 3 と一部重なっている。ただし、ゲート電極 3 の中央部分は、第 1 のコンタクトプラグ 2 2 とは重なっていない。

【 0 0 2 2 】

これにより、実施の形態 1 と同様に、第 1 の層間絶縁膜の全面に窒化膜を設けることなく、第 1 のコンタクトプラグと第 2 のコンタクトプラグの重ね合わせのズレによるエッチングの突き抜けを防ぐことができる等の効果を有する。

【 0 0 2 3 】

実施の形態 3.

図 3 はこの発明の実施の形態 3 における半導体装置を示す概略断面図である。図 1 (h) と同様の構成要素には同じ番号を付し、詳しい説明は省略する。図 3 に示すように、下に凸の漏斗型を有する第 1 のコンタクトプラグ 2 2 は、第 1 のコンタクトホール 2 1 に埋め込まれた部分と第 1 の層間絶縁膜 2 の表面から突出した部分とを有する。そして、この突出した部分の側面に、サイドウォール 2 3 が形成されている。

【 0 0 2 4 】

ここで、このサイドウォール 2 3 は、上方から見ると、ゲート電極 3 と一部重

なっている。ただし、ゲート電極 3 の中央部分は、サイドウォール 2 3 とは重なっていない。

【 0 0 2 5 】

これにより、実施の形態 1 及び実施の形態 2 と同様に、第 1 の層間絶縁膜の全面に窒化膜を設けることなく、第 1 のコンタクトプラグと第 2 のコンタクトプラグの重ね合わせのズレによるエッチングの突き抜けを防ぐことができる等の効果を有する。

【 0 0 2 6 】

【発明の効果】

この発明は以上説明したように、第 1 の層間絶縁膜の全面に窒化膜を設けることなく、第 2 のコンタクトホールをエッチング形成する際に、第 1 のコンタクトプラグとの重ね合わせのズレによるエッチングの突き抜けを防ぐことができる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 における半導体装置の製造方法を示す断面図である。

【図 2】 この発明の実施の形態 2 における半導体装置を示す断面図である。

【図 3】 この発明の実施の形態 3 における半導体装置を示す断面図である。

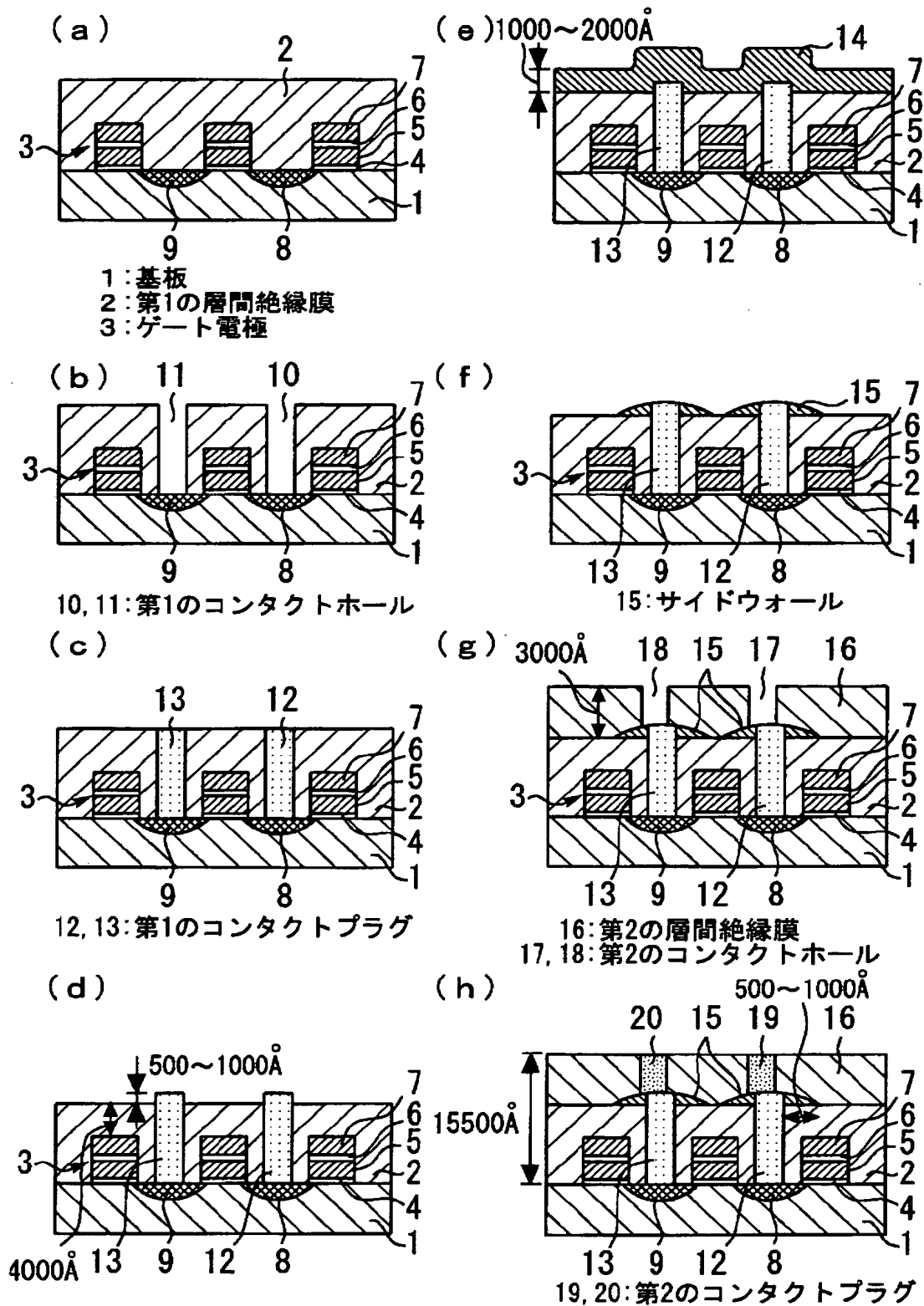
【符号の説明】

- 1 基板
- 2 第 1 の層間絶縁膜
- 3 ゲート電極
- 1 0 第 1 のコンタクトホール
- 1 1 第 1 のコンタクトホール
- 1 2 第 1 のコンタクトプラグ
- 1 3 第 1 のコンタクトプラグ
- 1 5 サイドウォール
- 1 6 第 2 の層間絶縁膜

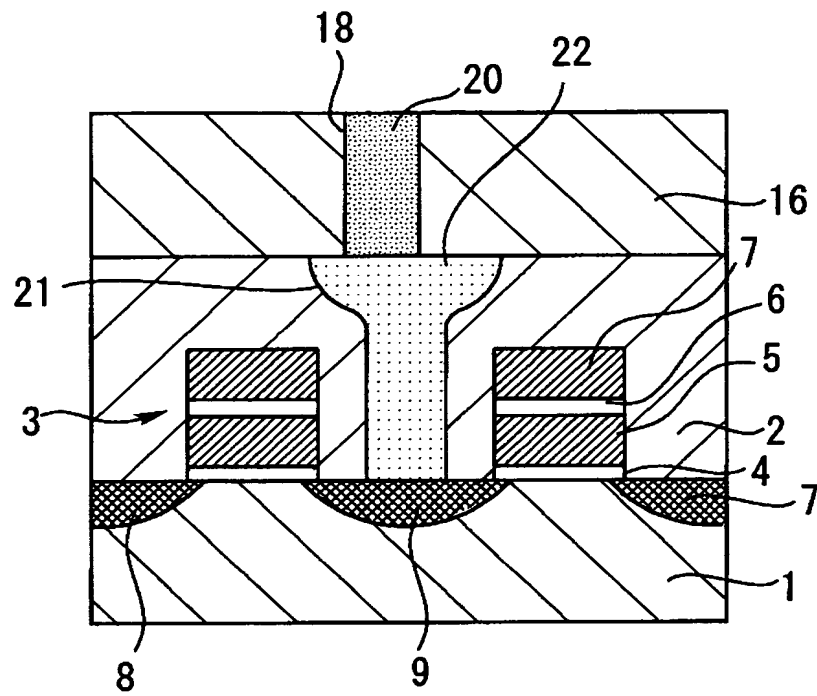
- 1 7 第 2 のコンタクトホール
- 1 8 第 2 のコンタクトホール
- 1 9 第 2 のコンタクトプラグ
- 2 0 第 2 のコンタクトプラグ
- 2 1 第 1 のコンタクトホール
- 2 2 第 1 のコンタクトプラグ
- 2 3 サイドウォール

【書類名】 図面

【図 1】

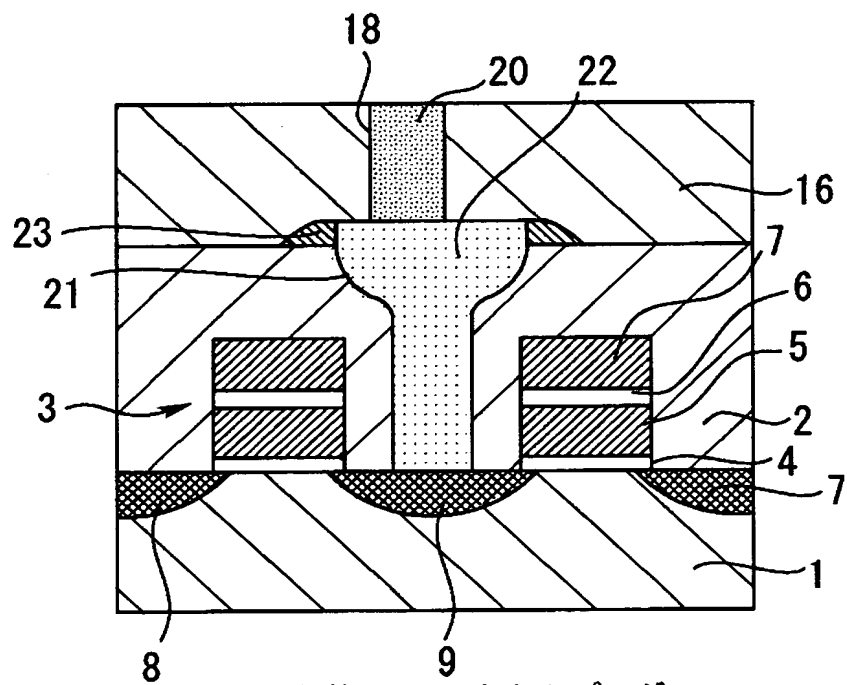


【図 2】



21: 第1のコンタクトホール

【図 3】



22: 第1のコンタクトプラグ
23: サイドウォール

【書類名】 要約書

【要約】

【課題】 第 1 の層間絶縁膜の全面に窒化膜を設けることなく、第 1 のコンタクトプラグと第 2 のコンタクトプラグの重ね合わせのズレによるエッチングの突き抜けを防ぐ。

【解決手段】 半導体基板 1 と、この半導体基板上に形成され、第 1 のコンタクトホールを有する第 1 の層間絶縁膜 2 と、この第 1 の層間絶縁膜 2 に形成され、第 1 のコンタクトホールに埋め込まれた部分と第 1 の層間絶縁膜 2 の表面から突出した部分とを有する第 1 のコンタクトプラグ 1 2, 1 3 と、この第 1 のコンタクトプラグ 1 2, 1 3 の突出した部分の側面に形成されたサイドウォール 1 5 と、第 1 の層間絶縁膜 2、第 1 のコンタクトプラグ 1 2, 1 3 及びサイドウォール 1 5 の上に形成され、第 2 のコンタクトホールを有する第 2 の層間絶縁膜 1 6 と、この第 2 のコンタクトホールに形成され、第 1 のコンタクトプラグ 1 2, 1 3 と接続された第 2 のコンタクトプラグ 1 9, 2 0 とを有する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [5 0 3 1 2 1 1 0 3]

1. 変更年月日	2 0 0 3 年 4 月 1 日
[変更理由]	新規登録
住 所	東京都千代田区丸の内二丁目4番1号
氏 名	株式会社ルネサステクノロジ